

PAT-NO: JP02006196549A

DOCUMENT-IDENTIFIER: JP 2006196549 A

TITLE: TITLE DATA NOT AVAILABLE

PUBN-DATE: July 27, 2006

INVENTOR-INFORMATION:

NAME	COUNTRY
HATADA, AKIRA	N/A
KATAUE, AKIRA	N/A
TAMURA, NAOYOSHI	N/A
SHIMAMUNE, YOSUKE	N/A
SHIMA, MASASHI	N/A
OTA, HIROYUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP2005004405

APPL-DATE: January 11, 2005

ABSTRACT:

PROBLEM TO BE SOLVED: To assure a sufficient distance between source/drain diffusion region areas and to inhibit the generation of a leakage current in an nMOS transistor simultaneously by making the channel region of the above pMOS transistor, to approach a compressive stress generation source which has an SiGe mixed crystal layer in a pMOS transistor as much as possible, and to arrange it in the substrate in a semiconductor integrated circuit device having on a CMOS set on the substrate.

SOLUTION: The gate electrode side wall insulating film of the pMOS transistor is formed with a film having an HF resistance, a trench in which the above p-type SiGe mixed crystal layer performs the epitaxial growth to the element region of the pMOS transistor is formed by approaching to the channel region of the above pMOS transistor, and they are formed simultaneously. In the nMOS transistor region, still more nearly another side wall insulating film is formed in the exterior of the side wall insulating film of the gate electrode, and the sufficient distance between an n-type source/drain region

formed by ion implantation into the substrate is assured.

COPYRIGHT: (C)2006,JPO&NCIPI

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196549

(P2006-196549A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.

H01L 21/8238 (2006.01)

H01L 27/092 (2006.01)

F I

H01L 27/08

321E

H01L 27/08

321C

テーマコード (参考)

5F048

審査請求 有 請求項の数 10 O L (全 35 頁)

(21) 出願番号

特願2005-4405 (P2005-4405)

(22) 出願日

平成17年1月11日 (2005.1.11)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100070150

弁理士 伊東 忠彦

(72) 発明者 畑田 明良

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 片上 朗

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 田村 直義

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

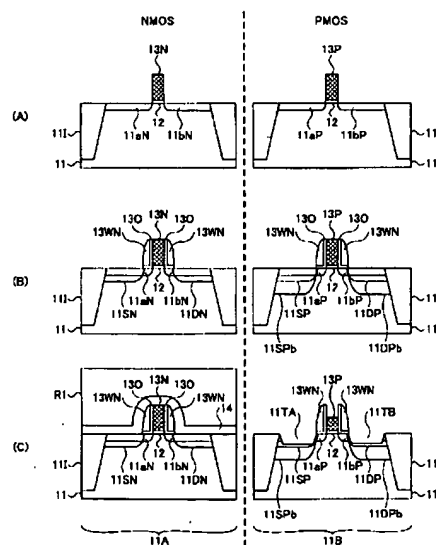
(修正有)

【課題】 CMOSを基板上に有する半導体集積回路装置において、pMOSトランジスタにおいてSiGe混晶層よりなる圧縮応力発生源を、基板中、前記pMOSトランジスタのチャネル領域に可能な限り近接させて配置し、同時にnMOSトランジスタにおいて、ソース/ドレイン拡散領域の間に十分な距離を確保してリーク電流の発生を抑制する。

【解決手段】 pMOSトランジスタのゲート電極側壁絶縁膜を、HF耐性を有する膜により形成し、pMOSトランジスタの素子領域に前記p型SiGe混晶層がエピタキシャル成長するトレンチを、前記pMOSトランジスタのチャネル領域に近接して形成すると同時に、nMOSトランジスタ領域においては、ゲート電極の側壁絶縁膜の外側にさらに別の側壁絶縁膜を形成し、基板中にイオン注入により形成されるn型ソース/ドレイン領域の間に十分な距離を確保する。

【選択図】 図2

(A)~(C)は、本発明の第1実施例による
半導体集積回路装置の製造工程を示す図(その1)



【特許請求の範囲】

【請求項1】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、

前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1の素子領域中における前記n型ソース拡散領域と前記n型ドレイン拡散領域との間の距離は、前記第2の素子領域中における前記p型ソース拡散領域と前記p型ドレイン拡散領域との間の距離よりも、前記それぞれの拡散領域の下端部で比較した場合、大きいことを特徴とする半導体集積回路装置。

【請求項2】

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、それぞれ第1および第2の、互いに異なった構造を有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】

前記第1の側壁絶縁膜は、HFにより侵食される第1の材料により、その表面が形成され、前記第2の側壁絶縁膜は、HFに対して耐性を有する第2材料により、その表面が形成されることを特徴とする請求項1または2記載の半導体集積回路装置。

【請求項4】

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、同一の構成を有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、

前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよ

びドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1および第2の側壁絶縁膜の各々は、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とよりなることを特徴とする半導体集積回路装置。

【請求項6】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有するpチャネルMOSトランジスタとよりなり、前記pチャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、p型不純物元素のイオン注入を行い、前記シリコン基板中、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第1の側壁絶縁膜に対してエッチング選択性を有する第2の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターンと、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜および前記第2の側壁絶縁膜を自己整合マスクに、n型不純物元素をイオン注入し、前記第1の素子領域中、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と

前記第1の素子領域を覆うように、また前記第2の素子領域を露出するように、マスク絶縁膜を形成する工程と、

前記マスク絶縁膜を形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに前記シリコン基板をエッチングし、前記第2のゲート電極パターンの両側に、前記第1の側壁絶縁膜により隔てられて、第1および第2のトレンチを形成する工程と、

前記第1および第2のトレンチを形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第1および第2のトレンチ中に、p型SiGe混晶層をエピタキシャル成長させ、前記p型SiGe混晶層領域を形成する工程と、よりなることを特徴とする半導体集積回路装置の製造方法。

【請求項7】

前記シリコン基板をエッチングする工程は、前記第1および第2のトレンチの表面を、HFまたは有機アルカリ系のエッチャントにより処理する工程、または等方性ドライエッチングまたは前記ウェット処理とドライエッチングの適宜の組み合わせによる処理工程を含むことを特徴とする請求項6記載の半導体集積回路装置の製造方法。

【請求項8】

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャネルM

ＯＳトランジスタと、前記第２の素子領域上に形成された、第２のゲート電極パターンを有するｐチャネルＭＯＳトランジスタとよりなり、前記ｐチャネルＭＯＳトランジスタにおいては、前記第２のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたｐ型ＳｉＧｅ混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第１および第２の素子領域中において、前記第１のゲート電極パターンと第２のゲート電極パターンのそれぞれの側壁面上に、ＣＶＤ酸化膜を介して、ＨＦに対して耐性を有する第１の材料により、第１の側壁絶縁膜を形成する工程と、

前記第１および第２の素子領域中において、前記第１のゲート電極パターンと前記第２のゲート電極パターンのそれぞれにおいて、前記第１の側壁絶縁膜上に、前記第１の材料に対してエッチング選択性を示す第２の材料により、第２の側壁絶縁膜を形成する工程と

10

前記第１の素子領域中において前記第１のゲート電極パターン、および前記第１のゲート電極パターン上の前記第１および第２の側壁絶縁膜をマスクに、前記シリコン基板中にｎ型不純物元素をイオン注入し、前記第１のゲート電極パターンの両側にｎ型のソースおよびドレイン領域を形成する工程と、

前記第２の素子領域中において前記第２のゲート電極パターン、および前記第２のゲート電極パターン上の前記第１および第２の側壁絶縁膜をマスクに、前記シリコン基板中にｐ型不純物元素をイオン注入し、前記第２のゲート電極パターンの両側にｐ型のソースおよびドレイン領域を形成する工程と、

20

前記第１および第２の素子領域中において、前記第１のゲート電極パターンと前記第２のゲート電極パターンのそれぞれの側壁面上に、前記第１の材料に対してエッチング選択性を示す第３の材料により、第３の側壁絶縁膜を形成する工程と、

前記第１の素子領域中において、前記第１のゲート電極パターン、および前記第１のゲート電極パターン上の前記第１～第３の側壁絶縁膜をマスクに、ｎ型不純物元素をさらにイオン注入し、前記ｎ型ソースおよびドレイン領域のそれぞれの下に、第１および第２のｎ型バッファ拡散領域を、相互に離間して形成する工程と、

前記第２の素子領域中において、前記第２のゲート電極パターン、および前記第２のゲート電極パターン上の前記第１～第３の側壁絶縁膜をマスクに、ｐ型不純物元素をさらにイオン注入し、前記ｐ型ソースおよびドレイン領域のそれぞれの下に、第１および第２のｐ型バッファ拡散領域を、相互に離間して形成する工程と、

30

前記第１および第２の素子領域中において、前記第１および第２のゲート電極の側壁面から、前記第２および第３の側壁絶縁膜を、ＨＦを使ったエッチングにより除去する工程と、

さらに前記第１および第２の素子領域中において、前記第１および第２のゲート電極のそれぞれに、ＨＦに耐性を有する第４の側壁絶縁膜を形成する工程と、

前記第２の素子領域において、前記第２のゲート電極、および前記第２のゲート電極上の前記第１および第４の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第２のゲート電極の両側に、第１および第２のトレンチを形成する工程と、

前記第２の素子領域において、前記第１および第２のトレンチをｐ型ＳｉＧｅ混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

40

【請求項９】

素子分離構造により、第１の素子領域と第２の素子領域とを画成されたシリコン基板と、前記第１の素子領域上に形成された、第１のゲート電極パターンを有するｎチャネルＭＯＳトランジスタと、前記第２の素子領域上に形成された、第２のゲート電極パターンを有するｐチャネルＭＯＳトランジスタとよりなり、前記ｐチャネルＭＯＳトランジスタにおいては、前記第２のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたｐ型ＳｉＧｅ混晶層領域を含む半導体集積回路装置の製造方法であって、

50

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

10

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、第2の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、

20

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第1および第2の側壁絶縁膜を、エッチングにより除去する工程と、

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第3の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第3の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

30

【請求項10】

前記第2のゲート電極の各々の側壁面上には、前記側壁面に対向する前記第2の側壁絶縁膜との間に酸化膜が、前記側壁絶縁膜の底部において、前記側壁絶縁膜と前記シリコン基板との間をも延在するように、第1の端部から第2の端部まで連続的に形成されており、

前記酸化膜の前記第1の端部は、前記第2のゲート電極と前記第2の側壁酸化膜間において、前記第2のゲート電極の上面から後退した位置に形成されており、前記酸化膜の前記第2の端部は、前記第2の側壁絶縁膜の側壁面から後退した位置に形成されており、

40

前記第2のゲート電極と前記第2の側壁絶縁膜との間には、前記第2のゲート電極の上面から前記酸化膜の前記第1の端面までの間に、HFに対して耐性を有する材料よりなる第1の膜領域が形成されており、

前記シリコン基板と前記第2の側壁絶縁膜との間には、前記第2の側壁絶縁膜の側壁面から前記酸化膜の前記第2の端面までの間に、HFに対して耐性を有する材料よりなる第2の膜領域が形成されていることを特徴とする請求項1～5のうち、いずれか一項記載の半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は一般に半導体装置に係り、特に歪み印加により動作速度を向上させた半導体装置およびその製造方法に関する。

【背景技術】

【0002】

微細化技術の進歩に伴い、今日では100nmを切るゲート長を有する超微細化・超高速半導体装置が可能になっている。

【0003】

このような超微細化・超高速トランジスタでは、ゲート電極直下のチャネル領域の面積が、従来の半導体装置に比較して非常に小さく、このためチャネル領域を走行する電子あるいはホールの移動度は、このようなチャネル領域に印加された応力により大きな影響を受ける。そこで、このようなチャネル領域に印加される応力を最適化して、半導体装置の動作速度を向上させる試みが数多くなされている。

10

【0004】

一般にシリコン基板をチャネルとする半導体装置では、電子の移動度よりもホールの移動度の方が小さく、このためホールをキャリアとするpチャネルMOSトランジスタの動作速度を向上させることが、半導体集積回路装置の設計にあたり重要課題となっている。

【0005】

このようなpチャネルMOSトランジスタでは、チャネル領域に一軸性の圧縮応力を印加することでキャリアの移動度が向上することが知られており、チャネル領域に圧縮応力を印加する手段として、図1に示す概略的構成が提案されている。

20

【0006】

図1を参照するに、シリコン基板1上にはチャネル領域に対応してゲート電極3が、ゲート絶縁膜2を介して形成されており、前記シリコン基板1中には前記ゲート電極3の両側にチャネル領域を画成するように、p型拡散領域1aおよび1bが形成されている。さらに前記ゲート電極3の側壁には、前記シリコン基板1の表面の一部をも覆うように側壁絶縁膜3A、3Bが形成されている。

【0007】

前記拡散領域1a、1bはそれぞれMOSトランジスタのソースおよびドレインエクステンション領域として作用し、前記拡散領域1aから1bへと前記ゲート電極3直下のチャネル領域を輸送されるホールの流れが、前記ゲート電極3に印加されたゲート電圧により制御される。

30

【0008】

図1の構成では、さらに前記シリコン基板1中、前記側壁絶縁膜3Aおよび3Bのそれぞれ外側に、SiGe混晶層1A、1Bがシリコン基板1に対してエピタキシャルに形成されており、前記SiGe混晶層1A、1B中には、それぞれ前記拡散領域1aおよび1bに連続するp型のソースおよびドレイン領域が形成されている。

【0009】

図1の構成のMOSトランジスタでは、前記SiGe混晶層1A、1Bがシリコン基板1に対してより大きな格子定数を有するため、前記SiGe混晶層1A、1B中には矢印aで示す圧縮応力が形成され、その結果、SiGe混晶層1A、1Bは、矢印bで示す前記シリコン基板1の表面に略垂直な方向に歪む。

40

【0010】

前記SiGe混晶層1A、1Bはシリコン基板1に対してエピタキシャルに形成されているため、このような矢印bで示すSiGe混晶層1A、1Bにおける歪みは対応する歪みを、前記シリコン基板中の前記チャネル領域に、矢印cで示すように誘起するが、かかる歪みに伴い、前記チャネル領域には、矢印dで示すように一軸性の圧縮応力が誘起される。

【0011】

図1のMOSトランジスタでは、チャネル領域にこのような一軸性の圧縮応力が印加される結果、前記チャネル領域を構成するSi結晶の対称性が局所的に変調され、さらにか

50

かる対称性の変化に伴って、重いホールの価電子帯と軽いホールの価電子帯の縮退が解けるため、チャネル領域におけるホール移動度が増大し、トランジスタの動作速度が向上する。このようなチャネル領域に局所的に誘起された応力によるホール移動度の増大およびこれに伴うトランジスタ動作速度の向上は、特にゲート長が100nm以下の超微細化半導体装置に顕著に現れる。

【特許文献1】米国特許第6621131号公報

【特許文献2】特開2004-31753号公報

【特許文献3】特開平8-167718号公報

【非特許文献1】Thompson, S. E., et al., IEEE Transactions on Electron Devices, vol.51, No.11, November, 2004, pp.1790 - 1797

10

【発明の開示】

【発明が解決しようとする課題】

【0012】

ところで一般に半導体集積回路装置では、このような高速pチャネルMOSトランジスタは、同一基板上に形成されたnチャネルMOSトランジスタと共にCMOS素子を構成するのが一般的であるが、同一基板上にpチャネルMOSトランジスタとnチャネルMOSトランジスタとを同時に形成しようとすると様々な問題が発生する。

【0013】

先に図1で説明したような、チャネル領域における一軸性の圧縮応力の発生は、pチャネルMOSトランジスタの動作速度の向上には大きく寄与するものの、nチャネルMOSトランジスタにおいて同様な一軸性の圧縮応力をチャネル領域に印加すると、nチャネルMOSトランジスタの動作速度は、逆に劣化してしまうため、このようなnチャネルMOSトランジスタの素子領域では、このような圧縮応力は発生しないように構成する必要がある。

20

【0014】

また、図1の原理に従ってpチャネルMOSトランジスタの動作速度を向上させようとすると、前記SiGe混晶層領域1A、1Bをできるだけゲート電極3直下のチャネル領域に近接させるのが好ましく、このためにはゲート電極13の側壁絶縁膜をできるだけ薄く形成し、前記シリコン基板中に前記SiGe混晶層1A、1Bの成長のために、前記側壁絶縁膜を自己整合マスクに形成されるトレンチを、可能な限り近接させるのが好ましいが、同様にnチャネルMOSトランジスタにおいてゲート電極の側壁絶縁膜の厚さを減少させると、素子領域中においてn型ソース領域とn型ドレイン領域とが過度に近接してしまい、シリコン基板中、ソース／ドレイン間にリーク電流が流れやすくなる問題が生じる。

30

【0015】

このような事情で、図1に示したSiGe混晶層が発生する応力により動作速度を向上させたpチャネルMOSトランジスタをnチャネルMOSトランジスタと組み合わせて高速CMOS素子を形成しようとすると、ゲート電極の側壁絶縁膜をpチャネルMOSトランジスタでは薄く、またnチャネルMOSトランジスタでは厚く形成する必要があり、このような構造を、工程数の増加を極力抑制して実現できる半導体装置の製造方法が要望されている。

40

【課題を解決するための手段】

【0016】

本発明は一の側面において、素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、前記nチャネルMOSトランジスタは、第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、前記pチャネルMOSトランジスタは、第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、前記第

50

2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、前記第1の素子領域中における前記n型ソース拡散領域と前記n型ドレイン拡散領域との間の距離は、前記第2の素子領域中における前記p型ソース拡散領域と前記p型ドレイン拡散領域との間の距離よりも、前記それぞれの拡散領域の下端部で比較した場合、大きい半導体集積回路装置を提供する。

10

【0017】

本発明は他の側面において、素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成されたnチャンネルMOSトランジスタと、前記第2の素子領域上に形成されたpチャンネルMOSトランジスタとよりなる半導体集積回路装置であって、前記nチャンネルMOSトランジスタは、第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、前記pチャンネルMOSトランジスタは、第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、前記第1および第2の側壁絶縁膜の各々は、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とよりなることを特徴とする半導体集積回路装置を提供する。

20

【0018】

本発明は他の側面において、素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャンネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有するpチャンネルMOSトランジスタとよりなり、前記pチャンネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャンネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、p型不純物元素のイオン注入を行い、前記シリコン基板中、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第1の側壁絶縁膜に対してエッチング選択性を有する第2の側壁絶縁膜を形成する工程と、前記第1の素子領域中において、前記第1のゲート電極パターンと、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜および前記第2の側壁絶縁膜を自己整合マスクに、n型不純物元素をイオン注入し、前記第1の素子領域中、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と前記第1の素子領域を覆うように、また前記第2の素子領域を露出するように、マスク絶縁膜を形成する工程と、前記マスク絶縁膜を形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第2の素子領域中

30

40

50

において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに前記シリコン基板をエッチングし、前記第2のゲート電極パターンの両側に、前記第1の側壁絶縁膜により隔てられて、第1および第2のトレンチを形成する工程と、前記第1および第2のトレンチを形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第1および第2のトレンチ中に、p型SiGe混晶層をエピタキシャル成長させ、前記p型SiGe混晶層領域を形成する工程と、よりなる半導体集積回路装置の製造方法を提供する。

【0019】

さらに本発明は他の側面において、素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャンネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有するpチャンネルMOSトランジスタとよりなり、前記pチャンネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャンネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、CVD酸化膜を介して、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、前記第1の材料に対してエッチング選択性を示す第2の材料により、第2の側壁絶縁膜を形成する工程と、前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、前記第1の材料に対してエッチング選択性を示す第3の材料により、第3の側壁絶縁膜を形成する工程と、前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1～第3の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1～第3の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第2および第3の側壁絶縁膜を、HFを使ったエッチングにより除去する工程と、さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第4の側壁絶縁膜を形成する工程と、前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第1および第4の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含む半導体集積回路装置の製造方法を提供する。

【0020】

本発明はさらに他の側面において、素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャンネルMOSトランジスタと、前記第2の素子領域上に形成さ

れた、第2のゲート電極パターンを有するpチャネルMOSトランジスタとよりなり、前記pチャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、第1の材料により、第1の側壁絶縁膜を形成する工程と、前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、第2の側壁絶縁膜を形成する工程と、前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第1および第2の側壁絶縁膜を、エッチングにより除去する工程と、さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第3の側壁絶縁膜を形成する工程と、前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第3の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含む半導体集積回路装置の製造方法を提供する。

【発明の効果】

【0021】

本発明によれば、pチャネルMOSトランジスタのチャネル領域の両側のトレンチを充填するように形成され、前記チャネル領域に一軸性圧縮応力を印加するp型SiGe混晶層を前記チャネル領域に近接して形成することで、前記チャネル領域に印加される一軸性圧縮応力の値を増大させると同時に、同一のシリコン基板上に形成されたnチャネルMOSトランジスタにおいて、シリコン基板中の深いソースおよびドレイン拡散領域間に十分な距離を確保でき、その結果、前記nチャネルMOSトランジスタのソース／ドレイン間でのリークを抑制することが可能になる。

【0022】

特にこのようなトレンチをSiGe混晶層で充填することによりチャネル領域に印加される一軸性圧縮応力を発生させるpチャネルMOSトランジスタでは、かかるSiGe混晶層として高い結晶品質の膜が要求されるが、このような高い結晶品質のSiGe混晶層を形成しようとする、前記トレンチが可能な限り前記チャネル領域に近接するように、自己整合プロセスを使ってトレンチを形成するのみならず、さらに前記SiGe混晶層のエピタキシャル成長に先立って、前記トレンチの表面をHFエッチャントを使ってクリーニングし、SiGeの結晶成長を妨げる酸化物やその他の不純物を除去する工程が必要不可欠になる。本発明では、このような課題を、前記pチャネルMOSトランジスタのゲート電極側壁絶縁膜に、HFに対して耐性の有る材料を使うことで解決し、かつnチャネル

MOSトランジスタにおいてはゲート電極側壁絶縁膜の厚さを増大させることにより、シリコン基板中における深いソース/ドレイン拡散領域間の距離を確保し、かかる部分におけるリーク電流の発生を抑制している。

【0023】

また本発明は、前記第1および第2の側壁絶縁膜の各々を、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とより構成することにより、HFに対して耐性を有する第1および第2のゲート電極上に、HFに対して耐性を有する下側側壁絶縁膜を設けることにより、前記第1および第2のゲート電極の表面を覆うように形成されたCVD酸化膜のHFによる侵食を抑制でき、半導体集積回路装置の電気特性を向上させることができる。

【0024】

特に本発明では、pチャネルMOSトランジスタおよびnチャネルMOSトランジスタのいずれにおいても、それぞれのゲート電極と、対応するHF耐性を有する側壁絶縁膜との間、および前記側壁絶縁膜とシリコン基板との間に、界面特性を向上させるためにCVD酸化膜など、HFに侵食される膜を介在させるのが望ましいが、このような膜が、前記トレンチ形成の際に行われるHFによるクリーニング処理により侵食される問題を回避するため、本発明では、このような前記側壁絶縁膜をそれぞれのゲート電極上に、前記HFに侵食される膜を介して形成した後、得られた構造をHF中において処理し、前記HFに侵食される膜のうち、ゲート電極上面および側壁絶縁膜の側壁面に露出している部分を予めエッチングして深いスリットを形成する。さらに、かかるスリットを、HFに対して耐性を有する膜により充填することにより、その後でトレンチ形成の際にHF処理を行っても、エッチングによりこのような深いスリットが形成されることのない構造を実現している。

【発明を実施するための最良の形態】

【0025】

【第1実施例】

図2(A)～3(F)は、本発明の第1実施例による半導体集積回路装置の製造方法を示す図である。

【0026】

図2(A)を参照するに、シリコン基板11上にはSTI型の素子分離構造11Iにより、nチャネルMOSトランジスタの素子領域11AおよびpチャネルMOSトランジスタの素子領域11Bが画成されており、前記素子領域11Aはp型にドーパされ、p型ウェルを形成している。また前記素子領域11Bはn型にドーパされ、n型ウェルを形成している。さらに前記素子領域11Aにおいては、図示はしないが、前記シリコン基板11の表面近傍において、p型純物元素により、前記nチャネルMOSトランジスタのしきい値調整のためのイオン注入がなされている。同様に、前記素子領域11Bにおいても、図示はしないが、前記シリコン基板11の表面近傍において、n型不純物元素により、前記pチャネルMOSトランジスタのしきい値調整のためのイオン注入がなされている。

【0027】

前記素子領域11Aには熱酸化膜やSiON膜など、あるいはその他の高誘電体膜（いわゆるhigh-K膜）よりなるゲート絶縁膜12を介して、ポリシリコンゲート電極13Nが、また前記素子領域11Bには同じゲート絶縁膜12を介してポリシリコンゲート電極13Pが形成されており、前記素子領域11Aおよび11Bにおいて別々に、n型不純物元素およびp型不純物元素を、前記ゲート電極13Nおよび13Pを自己整合マスクに使い、前記n型不純物元素の場合、例えばAs⁺を1keVの加速電圧下、 $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、また前記p型不純物元素の場合、例えばB⁺を0.3keVの加速電圧下、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入することにより、前記素子領域11Aにおいては前記シリコン基板11中、前記ポリシリコンゲート電極13Nの両側に、n型

ソースおよびドレインエクステンション領域 11a N, 11b N が形成され、また前記素子領域 11 B においては前記シリコン基板 11 中、前記ポリシリコンゲート電極 13 P の両側に、p 型ソースおよびドレインエクステンション領域 11a P, 11b P が形成される。なお、前記ゲート絶縁膜として使われる SiON 膜は、例えば熱酸化膜をプラズマ窒化処理することにより、あるいはプラズマ CVD 法により、形成することが可能である。また前記ゲート絶縁膜として高誘電体膜を使う場合には、これを例えば HfO₂, ZrO₂ や Al₂O₃ などの金属酸化物や HfSiO₄ や ZrSiO₄ などの金属ケイ酸塩の MOCVD 法あるいは原子層 CVD 法（いわゆる ALD 法）により、形成することができる。

【0028】

次に図 2 (B) の工程で、前記シリコン基板 11 およびポリシリコンゲート電極 13 N, 13 P の表面に、厚さが約 10 nm の CVD 酸化膜 13 O を、前記 CVD 酸化膜 13 O が前記シリコン基板 11 の露出表面および前記ポリシリコンゲート電極 13 N および 13 P の表面を連続して覆うように形成し、さらに前記ポリシリコンゲート電極 13 N, 13 P の側壁面に、シリコンのドライおよびウェットエッチング処理、および HF 処理に対して耐性を有する例えば SiON 膜あるいは SiN 膜よりなる側壁絶縁膜 13 WN を、前記 CVD 酸化膜 13 O を介して、例えば 30 nm の厚さに形成する。

【0029】

このような側壁絶縁膜 13 WN は、図 2 (A) の構造上に SiON 膜あるいは SiN 膜を、前記ソースエクステンション領域あるいはドレインエクステンション領域の不純物濃度分布が乱されないように 600℃ 以下の低温プロセス、例えばプラズマ CVD 法により堆積し、これを前記シリコン基板 11 の表面が露出するまでエッチバックすることにより、形成することができる。

【0030】

さらに図 2 (B) の工程では、前記素子領域 11 B を、図示しないレジスト膜で覆い、前記ゲート電極 13 N および側壁酸化膜 13 O, 側壁絶縁膜 13 WN をマスクに前記素子領域 11 A において n 型不純物元素、たとえば As⁺ を 10 keV の加速電圧下、 $3 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記シリコン基板 11 中、前記側壁絶縁膜 13 WN の外側に、より深い n 型拡散領域を、前記 n チャネル MOS トランジスタのソースおよびドレイン領域 11 SN および 11 DN として、それぞれ形成する。

【0031】

さらに図 2 (B) の工程では、前記素子領域 11 A を、図示しないレジスト膜で覆い、前記ゲート電極 13 P および側壁酸化膜 13 O, 側壁絶縁膜 13 WN をマスクに前記素子領域 11 B において p 型不純物元素、たとえば B⁺ を 3 keV の加速電圧下、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記シリコン基板 11 中、前記側壁絶縁膜 13 WN の外側に、より深い p 型拡散領域を、前記 p チャネル MOS トランジスタのソースおよびドレイン領域 11 SP および 11 DP として、それぞれ形成する。

【0032】

さらに図 2 (B) の工程では、前記ソースおよびドレイン領域 11 SP および 11 DP の耐圧向上のため、前記ポリシリコンゲート電極 13 P および側壁酸化膜 13 O, 側壁絶縁膜 13 WN をマスクに、前記素子領域 11 B に p 型不純物元素、例えば B⁺ をより大きな 10 keV の加速電圧下、より小さな $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記 p 型ソースおよびドレイン領域 11 SP, 11 DP の下に、p-型のバッファソースおよびドレイン領域 11 SPb および 11 DPb を、それぞれ形成する。

【0033】

次に図 2 (C) の工程において、前記図 2 (B) 上にシリコン酸化膜 14 を CVD 法により、50 nm の厚さに堆積し、さらに前記素子領域 11 A をレジストマスク R1 で覆った状態で、前記シリコン酸化膜 14 を前記素子領域 11 B より除去する。

【0034】

さらに図 2 (C) の工程では、前記素子領域 11 A を前記レジストマスク R1 で覆ったまま、前記素子領域 11 B において前記シリコン基板 11 に対し、前記ポリシリコンゲート

ト電極 1 3 P および側壁絶縁膜 1 3 WN を自己整合マスクに、ドライエッチングあるいは有機アルカリエッチャントを使ったウェットエッチングを適用し、あるいはこれらを順次組み合わせて適用し、前記シリコン基板中、前記側壁絶縁膜 1 3 WN の外側にトレンチ 1 1 T A, 1 1 T B を、前記前記ソース／ドレイン領域 1 1 S P, 1 1 D P を超えないような、例えば 40 nm の深さに形成する。また、前記トレンチ 1 1 T A, 1 1 T B を形成する工程は、前記レジストマスク R 1 を除去した後で行うことも可能である。

【0035】

さらに、このようなトレンチ 1 1 T A, 1 1 T B の形成後、得られた構造を H F によりウェットエッチングし、特に前記トレンチ 1 1 T A, 1 1 T B の底面および側壁面からエッチング残渣などの不純物を除去する。

【0036】

また図 2 (C) の工程では、前記シリコン基板 1 1 中への前記トレンチ 1 1 T A, 1 1 T B の形成に伴い、前記ポリシリコンゲート電極 1 3 P も部分的にエッチングを受ける。

【0037】

次に図 3 (D) の工程において前記レジスト膜 R 1 を除去し、このようにして得られた図 2 (C) の構造が、減圧 C V D 装置中に導入され、シランガス (SiH_4) およびゲルマン (GeH_4) ガスを、ジボランなどの p 型ドーパントガスとともに 600 °C 以下の温度で供給することにより、前記トレンチ T A, T B を充填するように、p 型 S i G e 混晶層 1 4 A, 1 4 B をエピタキシャルに成長させる。

【0038】

例えば、かかる S i G e 混晶層 1 4 A, 1 4 B の成長は、550 °C の基板温度において、5 ~ 1330 Pa の水素雰囲気中、 SiH_4 ガスを分圧が 1 ~ 10 Pa になるように、また GeH_4 ガスを分圧が 0.1 ~ 10 Pa になるように、さらに B_2H_6 ドーパントガスを、分圧が 1×10^{-5} ~ 1×10^{-3} Pa になるように、さらに塩化水素 (HCl) エッチングガスを、1 ~ 10 Pa の分圧になるように供給することにより、実行することができる。

【0039】

かかる p 型 S i G e 混晶層 1 4 A, 1 4 B のエピタキシャル成長に伴い、前記ポリシリコンゲート電極 1 3 P 上においても、p 型の多結晶 S i G e 層 1 4 C が成長する。前記 S i G e 層 1 4 A ~ 1 4 C の成長は、1 ~ 40 分間行われ、その結果、前記トレンチ 1 1 T A, 1 1 T B を充填する S i G e 混晶層 1 4 A, 1 4 B は、前記シリコン基板 1 1 とゲート絶縁膜 1 2 との界面を超えて成長する。かかる S i G e 混晶層 1 4 A, 1 4 B の形成の結果、前記ゲート絶縁膜 1 2 直下のチャネル領域には大きな一軸性圧縮応力が印加され、前記チャネル領域を輸送されるホールの移動度が大きく増大する。

【0040】

このような限られた面積における低温成長の結果、前記 S i G e 層 1 4 A, 1 4 B は、従来、S i 基板上に成長させる場合の限界と考えられていた、原子濃度で 20 % の G e 濃度を超えて、結晶品質を劣化させることなく、原子濃度で 28 % の G e を含むことが可能であるのが確認されている。

【0041】

図 3 (D) の構造では、図 3 (C) の工程において前記トレンチ 1 1 T A, 1 1 T B が前記側壁絶縁膜 1 3 WN を自己整合マスクに形成されているため、前記 S i G e 混晶層 1 4 A, 1 4 B は前記チャネル領域に最も近接して形成され、前記チャネル領域に印加される一軸性圧縮応力を最大にすることが可能である。

【0042】

さらに図 3 (E) の工程において、前記素子領域 1 1 A に残されていた C V D 酸化膜 1 4 が、前記シリコン基板 1 1 の表面が露出するまでエッチバックされ、その結果、前記素子領域 1 1 A においては前記ゲート電極 1 3 N の S i N 側壁絶縁膜 1 3 WN のさらに外側に、外側側壁酸化膜 1 4 W が形成され、前記素子領域 1 1 B を図示しないレジストマスクで覆った状態で、前記ポリシリコンゲート電極 1 3 N, 前記側壁酸化膜 1 3 O, 前記側壁絶

縁膜 13NW および外側側壁酸化膜 14W をマスクに、P+などの n 型不純物元素を、15keV の加速電圧下、 $7 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入することにより、前記シリコン基板中、前記ソース／ドレイン領域 11SN, 11DN よりも深い位置に、n-型のバッファソース／ドレイン領域 11SNb, 11DNb を形成する。

【0043】

このように前記バッファソース／ドレイン領域 11SNb, 11DNb を前記外側側壁酸化膜 14W のさらに外側に形成することにより、本実施例では前記拡散領域 11SNb, 11DNb の間に充分な間隔を確保することが可能となり、かかる拡散領域を介したリーク電流の発生を抑制することができる。

【0044】

図3(E)の工程の後、さらにサリサイドプロセスを行うことにより、前記 n 型ソース／ドレイン領域 11SN, 11DN、p 型ソース／ドレイン領域 11SP, 11DP、n 型ポリシリコンゲート電極 13N、および p 型ポリシリコンゲート電極 13P 上に、ニッケルシリサイドあるいはコバルトジシリサイドなどよりなるシリサイド層 16 を形成する。

【0045】

本発明によれば、このように共通基板上に n チャネル MOS トランジスタおよび p チャネル MOS トランジスタを形成することにより、高速 CMOS 素子を構成することが可能になる。

【0046】

本発明では特に、図2(C)のトレンチ形成工程において、ウェットエッチングを使うことにより、トレンチ 11TA, 11TB の側壁面に Si(111) 面などの結晶面を露出させることが可能で、図3(D)の工程でエピタキシャル成長される SiGe 混晶層 14A, 14B の結晶品質を向上させることができる。また前記トレンチ形成工程を、ドライエッチングとウェットエッチングを組み合わせて実行することにより、前記トレンチ 11TA, 11TB の側壁面を、図4に示すように、前記ゲート絶縁膜 12 直下のチャンネル領域に向かって侵入する楔形状に形成することができるが、この場合、かかるトレンチ 11TA, 11TB を充填する SiGe 混晶層 14A, 14B の先端部は、前記側壁絶縁膜 13WN 直下の領域に侵入し、前記チャンネル領域に近接するため、前記チャンネル領域における一軸性圧縮応力の大きさはさらに増大し、前記 p チャネル MOS トランジスタの動作速度をさらに増大させることができる。

【0047】

さらに本実施例では図2(B)の工程において、前記素子領域 11B 中、前記 p 型ソース／ドレイン領域 11SP, 11DP の下方に p⁻ 型の拡散領域 11SPb, 11DPb を形成しておくことにより、前記 SiGe 混晶層 14A, 14B が、ドーパントガスを供給しながら実行されるエピタキシャル成長により、高いドーパント濃度で形成された場合でも、前記 p 型ソース／ドレイン領域 11SP, 11DP 直下の p/n 接合部における不純物濃度の急変が回避され、接合容量の増大や耐圧の低下などの問題を回避することができる。

〔第2実施例〕

次に本発明の第2実施例による半導体集積回路装置の製造方法を、図5(A)～図6(F)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0048】

図5(A)～図6(F)を参照するに、図5(A)および図5(B)の工程は、前記図2(A)および図2(B)の工程と同じであり、説明を省略する。

【0049】

本実施例では図5(C)の工程において、前記素子領域 11A および 11B の双方において、前記側壁絶縁膜 13WN の外側に、CVD 酸化膜の堆積およびエッチバックにより

、前記外側側壁酸化膜 14W を約 40 nm の厚さに形成し、この段階において、前記素子領域 11A において前記ゲート電極 13N、側壁酸化膜 13O、側壁絶縁膜 13WN をマスクに、n 型不純物元素を前記シリコン基板 11 中にイオン注入し、前記 n-型のパッファソース/ドレイン拡散領域 11SNb および 11DNb を形成する。なお、前記 CVD 酸化膜の堆積は、プラズマ CVD 法により、600℃ 以下の温度で行うのが好ましい。

【0050】

さらに図 6 (D) の工程において、図 5 (C) の構造上に CVD 酸化膜 15 を約 50 nm の厚さに形成し、図 2 (C) と同様な素子領域 11A を覆うレジストパターン R2 を形成する。さらに前記レジストパターン R2 をマスクに、前記素子領域 11B において前記 CVD 酸化膜 15 を、異方性ドライエッチングまたは HF 中でのウェットエッチング、またはこれらの処理を適宜組み合わせた処理により除去し、図 6 (E) の工程で、前記素子領域 11B において、前記側壁絶縁膜 13WN、側壁酸化膜 13O、およびポリシリコンゲート電極パターン 13P を自己整合マスクに、前記シリコン基板 11 を、先に図 2 (C) の工程と同様にエッチングし、トレンチ 11TA および 11TB を形成する。図 6 (E) の工程では、前記トレンチ 11TA、11TB の形成に伴い、前記ポリシリコンゲート電極 13P の上部もエッチング除去されているのがわかる。なお、前記 CVD 酸化膜 15 の堆積も、プラズマ CVD 法により、600℃ 以下の温度で行うのが好ましい。

【0051】

さらに図 6 (F) の工程では、このようにして形成されたトレンチ 11TA、11TB を充填するように、前記先の図 3 (D) の工程と同様に、前記 SiGe 混晶層 14A、14B をエピタキシャル成長させる。その際、前記素子領域 11A は前記 CVD 酸化膜 15 により覆われているため、SiGe 混晶層の成長は生じない。また前記 SiGe 混晶層 14A、14B の成長と同時に、前記ポリシリコンゲート電極 13P 上にも、多結晶 SiGe 層 14C が成長している。

【0052】

さらに図 6 (F) の工程において、前記 CVD 酸化膜 15 をウェットエッチングにより除去し、露出した n 型ソース/ドレイン領域 11SN および 11DN、p 型ソース/ドレイン領域 11SP、さらに n 型ポリシリコンゲート電極 13N、p 型ポリシリコンゲート電極 13P 上に、シリサイド層 16 を形成する。

【0053】

本実施例によれば、SiGe 混晶層領域 14A、14B の形成が、シリサイド形成プロセスの直前に行われ、SiGe 混晶層領域 14A、14B が形成された後に、例えば図 3 (E) のような側壁絶縁膜形成工程が含まれないため、SiGe 混晶層 14A、14B が、かかる側壁絶縁膜形成工程の際に使われるドライエッチング工程において生じる荷電粒子に対して曝されることがない。このため、かかる荷電粒子の衝突により SiGe 混晶層 14A、14B 表面から放出された Ge が、半導体装置の製造ラインを汚染する恐れがなく、他の、たとえば SiGe 混晶を使わない半導体装置の製造を妨げることがない。また、前記 SiGe 混晶層 14A、14B の表面が、ドライエッチングで使われる荷電粒子に曝されることがないため、図 6 (F) のシリサイド形成工程においても、SiGe 混晶層 14A、14B の表面が不規則になってシリサイド形成が困難になる問題が回避される。

【第 3 実施例】

次に、本発明の第 3 実施例による半導体集積回路装置の製造工程を、図 7 (A) ~ 図 8 (F) を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0054】

図 7 (A) ~ 8 (F) を参照するに、図 7 (A) の工程は、先の図 2 (A) あるいは図 5 (A) の工程と同じであり説明を省略する。

【0055】

本実施例では図 7 (B) の工程において、先の図 5 (B) の工程と同様に、前記ポリシ

リコンゲート電極 1 3 N, 1 3 P の各々の側壁面上に S i N 側壁絶縁膜 1 3 W N を形成するが、図 7 (B) の工程では、さらなるイオン注入は行わず、図 7 (C) の工程に進む。

【 0 0 5 6 】

図 7 (C) の工程では、前記素子領域 1 1 A, 1 1 B において、前記ポリシリコンゲート電極 1 3 N および 1 3 P の各々を覆う S i N あるいは S i O N 側壁絶縁膜 1 3 W N 上に、図 3 (E) の工程と同様の工程により、外側側壁酸化膜 1 4 W を形成し、さらに前記素子領域 1 1 B を、図示しないレジストマスクで覆い、前記素子領域 1 1 A 中に、前記ポリシリコンゲート電極 1 3 N、C V D 酸化膜 1 3 O、側壁絶縁膜 1 3 W N および外側側壁酸化膜 1 4 W をマスクに、P+や A s+などの n 型不純物元素をイオン注入し、前記シリコン基板 1 1 中、前記外側側壁絶縁膜 1 4 W の外側に、前記バッファソース／ドレイン拡散領域 1 1 S N b, 1 1 D N b と同様な、n-型拡散領域を形成する。

10

【 0 0 5 7 】

さらに図 8 (D) の工程において前記素子領域 1 1 A および 1 1 B において前記外側側壁酸化膜 1 4 W を除去し、前記素子領域 1 1 B をレジストマスク (図示せず) で覆い、前記素子領域 1 1 A 中に P+や A s+などの n 型不純物元素を、前記ポリシリコンゲート電極 1 3 N、側壁酸化膜 1 3 および側壁絶縁膜 1 3 W N を自己整合マスクにイオン注入し、前記 n 型ソース／ドレイン領域 1 1 S N および 1 1 D N を、前記ソース／ドレインエクステンション領域 1 1 a, 1 1 b よりも深く、しかし前記バッファソース／ドレイン領域 1 1 S N b, 1 1 D N b よりも浅く形成する。

【 0 0 5 8 】

さらに図 8 (D) の工程では、前記素子領域 1 1 A をレジストマスク (図示せず) で覆い、前記素子領域 1 1 B 中に B+を例えば 3 keV の加速電圧下、 $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記シリコン基板 1 1 中、前記 p 型ソース／ドレインエクステンション領域 1 1 a P, 1 1 b P よりも深い位置に p 型ソース／ドレイン領域 1 1 S P および 1 1 D P を形成する。

20

【 0 0 5 9 】

さらに図 8 (D) の工程では、前記素子領域 1 1 B 中に引き続き、B+を 10 keV の加速電圧下、 $1 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、前記 p 型ソース／ドレイン領域 1 1 S P および 1 1 D P よりも深い位置に、p-型バッファソース／ドレイン領域 1 1 S P b, 1 1 D P b を形成する。

30

【 0 0 6 0 】

さらに図 8 (E) の工程において、前記素子領域 1 1 A を、先の図 6 (E) の工程における C V D 酸化膜 1 5 と同様な酸化膜により覆い、前記素子領域 1 1 B において、前記ポリシリコンゲート電極 1 3 P、側壁酸化膜 1 3 O および側壁絶縁膜 1 3 W N をマスクに、図 2 (C) あるいは 6 (E) の工程と同様に、前記ゲート電極 1 3 P の両側にトレンチ 1 1 T A, 1 1 T B を形成する。かかるトレンチ形成に伴って、前記 p 型ポリシリコンゲート電極パターン 1 3 P も、その上部がエッチングされている。

【 0 0 6 1 】

さらに図 8 (F) の工程において、先の図 3 (D) あるいは 6 (F) の工程と同様に、前記トレンチ 1 1 T A, 1 1 T B 中に S i G e 混晶層 1 4 A, 1 4 B をエピタキシャル成長させることにより、前記ゲート電極 1 3 P の直下のチャンネル領域に、大きな一軸性圧縮応力を誘起される。また、同時に前記 p 型ポリシリコンゲート電極 1 3 P 上には、p 型多結晶 S i G e 層 1 4 C が成長する。

40

【 0 0 6 2 】

図 8 (F) の工程では、さらに露出された S i G e 混晶層 1 4 A, 1 4 B の表面および前記ポリシリコン S i G e 層 1 4 C 上、および前記 n 型ソース／ドレイン領域 1 1 S N, 1 1 D N および n 型ポリシリコンゲート電極 1 3 N 上に、シリサイド層 1 6 が形成されている。

【 0 0 6 3 】

図 7 (A) ~ 図 8 (F) の工程においても、前記 S i G e 混晶層 1 4 A, 1 4 B を、前

50

記ポリシリコンゲート電極 13P 直下のチャネル領域近傍に形成することが可能になる。

〔第4実施例〕

次に、本発明の第4実施例による半導体集積回路装置の製造方法について、図9(A)～図11(I)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0064】

図9(A)を参照するに、この工程においては、前記素子領域11Aにおいてポリシリコンゲート電極13Nが、また素子領域11Bにおいてポリシリコンゲート電極13Pが、それぞれゲート絶縁膜12を介して形成されており、図9(B)の工程において、前記ゲート電極13および13Pの側壁面上に、厚さが約5nmの内側側壁酸化膜13WOを、熱酸化処理およびこれに引き続くエッチバック工程により形成する。

【0065】

前記エッチバック工程は、前記シリコン基板11の表面が露出するように実行され、さらに図9(B)の工程では、前記内側側壁酸化膜WOを覆うように、SiN膜を堆積したのち、エッチバックすることにより、SiNよりなる内側側壁窒化膜13WNIを、典型的には5nmの厚さに形成する。前記内側側壁窒化膜13WNIを形成するエッチバック工程も、前記シリコン基板11の表面が露出するまで実行される。

【0066】

さらに図9(B)の工程では、前記素子領域11Bにおいて、B⁺などのp型不純物元素をイオン注入し、p型ソース/ドレインエクステンション領域11aP、11bPを形成する。

【0067】

次に図9(C)の工程において、さらに前記ポリシリコンゲート電極13N、13Pにおいて、前記内側側壁絶縁膜13WNI上にさらに側壁酸化膜13OIを形成し、素子領域11Bにおいて、前記ポリシリコンゲート電極13P、内側側壁酸化膜13WO、内側側壁絶縁膜13WNIおよび前記側壁酸化膜13OIを自己整合マスクに、B⁺などのp型不純物元素をイオン注入し、p型ソース/ドレイン領域11SPおよび11DPを形成する。

【0068】

次に図10(D)の工程において、前記素子領域11A、11Bにおいて、前記ポリシリコンゲート電極13Nおよび13Pの各々において、側壁酸化膜13OI上に別の素子領域14Wiを形成し、前記素子領域11Aにおいては前記ポリシリコンゲート電極13N、内側側壁酸化膜13WO、内側側壁絶縁膜13WNI、側壁酸化膜13OI、および前記側壁酸化膜14Wiをマスクに、先の図3(E)と同様なイオン注入を行い、n型バッファソース/ドレイン領域11SNb、11DNbを形成する。また前記素子領域11Bにおいては前記ポリシリコンゲート電極13P、内側側壁酸化膜13WO、内側側壁絶縁膜13WNI、側壁酸化膜13OI、および前記側壁酸化膜14Wiをマスクに、先の図2(B)と同様なイオン注入を行い、n型バッファソース/ドレイン領域11SNb、11DNbを形成する。

【0069】

さらに図10(E)の工程において、前記側壁酸化膜14Wiおよび12OiをHF処理により除去して前記内側側壁絶縁膜13WNIを露出させ、前記素子領域11Bにおいて、前記前記ポリシリコンゲート電極13P、内側側壁酸化膜13WOおよび内側側壁絶縁膜13WNIをマスクに、図2(A)と同様なイオン注入を行い、前記p型ソース/ドレインエクステンション領域11aP、11bPを形成する。

【0070】

さらに図10(E)の工程では、前記ポリシリコンゲート電極13Nおよび13Pの各々について、前記内側側壁絶縁膜13WNI上に、先の実施例における側壁酸化膜13OIおよび側壁酸化膜13WNに対応する側壁酸化膜および側壁窒化膜を形成する。

【0071】

さらに図10(F)の工程において、図10(E)の構造をCVD酸化膜15で覆った後、レジストパターンR3をマスクに、前記CVD酸化膜を前記素子領域11Bから除去し、先の図8(D)～8(F)にそれぞれ対応する工程を、図11(G)～図11(I)の工程において実行することにより、前記ポリシリコンゲート電極13N、13Pの側壁絶縁膜の構造を除けば図8(F)の構造と同じ構造が、図11(I)の工程において得られる。

【0072】

先の実施例では、前記ポリシリコンゲート電極13Nあるいは13Pの側壁面を覆うCVD酸化膜13Oが、連続して、前記チャネル領域の両側において前記シリコン基板表面をも覆う構成となっていた。しかし、かかる構成では、例えば図2(C)あるいは図6(E)、図8(E)のトレンチ11TA、11TB形成の後で施されるHFエッチング処理など、HFを使った処理を行った場合、前記CVD酸化膜13Oが、前記シリコン基板11上のチャネル領域近傍においてHFによりエッチングされる可能性があり、このようなエッチングを回避するためには、エッチング条件を制御する必要がある。

【0073】

これに対し、本実施例の構成によれば、前記ポリシリコンゲート電極13P(および13N)の側壁酸化膜13WOの外側に、シリコン基板11の表面に達するように内側側壁絶縁膜13WNIが形成されているため、繰り返しHF処理を含む工程が行われても、HFがゲート電極13Pあるいは13N直下のゲート絶縁膜12あるいはその下のチャネル領域に侵入することがなく、半導体装置の製造が容易になるとともに、歩留まりも向上する。前記内側側壁絶縁膜13WNIは、単にHFの侵入を阻止するために設けられるだけなので、実質的な厚さは必要なく、例えば5nm程度で充分である。この場合、前記SiGe混晶層14A、14Bとチャネル領域の間の距離は多少増大するが、前記内側側壁絶縁膜13WNIの膜厚を最小限に抑制することにより、前記SiGe混晶層14A、14BHが前記チャネル領域に及ぼす一軸性圧縮応力の大きさの低減は最小限にとどめられる。

【第5実施例】

次に、本発明の第5実施例について、図12(A)～図14(H)を参照しながら説明する。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0074】

図12(A)を参照するに、前記シリコン基板11上には前記素子領域11A中にn型ポリシリコンゲート電極13Nが、また前記素子領域11B中にp型ポリシリコンゲート電極13Pが、それぞれSiONなどよりなるゲート絶縁膜12を介して形成されており、図12(B)の工程において、前記ポリシリコンゲート電極13Nおよびポリシリコンゲート電極13P上に、側壁酸化膜SW1が形成される。

【0075】

さらに前記図12(B)の工程では、前記ポリシリコンゲート電極13Nおよび前記側壁酸化膜SW1をマスクに前記素子領域11A中にn型不純物元素が、先の図2(B)の工程と同様にイオン注入され、前記シリコン基板11中には、n型ソース/ドレイン拡散領域11SN、11DNが形成される。

【0076】

さらに前記図12(B)の工程では、前記ポリシリコンゲート電極13Pおよび前記側壁酸化膜SW1をマスクに前記素子領域11B中にp型不純物元素が、先の図2(B)の工程と同様にイオン注入され、p型ソース/ドレインエクステンション領域11aPおよび11bP、およびp型ソース/ドレイン領域11SPおよび11DPが形成される。

【0077】

さらに図12(C)の工程において、前記ポリシリコンゲート電極13Nおよび13P

の各々において、前記側壁酸化膜 S W 1 上に側壁絶縁膜 S W 2 が形成され、さらに前記図 1 2 (C) の工程では、前記素子領域 1 1 A において、前記ポリシリコンゲート電極 1 3 N および側壁酸化膜 S W 1, S W 2 をマスクに、n 型不純物元素を図 2 (C) の工程と同様にしてイオン注入することにより、n-型のバッファソース/ドレイン拡散領域 1 1 S N b, 1 1 D N b を、より深い位置に形成する。

【0078】

さらに図 1 2 (C) の工程では、前記素子領域 1 1 B において、前記ポリシリコンゲート電極 1 3 P および側壁酸化膜 S W 1, S W 2 をマスクに、p 型不純物元素を図 2 (B) の工程と同様にしてイオン注入することにより、p-型のバッファソース/ドレイン拡散領域 1 1 S P b, 1 1 D P b を、より深い位置に形成する。

10

【0079】

次に図 1 3 (D) の工程において、前記側壁酸化膜 S W 1, S W 2 を前記ポリシリコンゲート電極 1 3 N, 1 3 P の側壁面から、H F 処理により除去し、新たに C V D 酸化膜 1 3 O を形成した後、S i N よりなる側壁絶縁膜 1 3 W N を、C V D プロセスおよびエッチバック工程により、前記シリコン基板 1 1 の表面が素子領域 1 1 A, 1 1 B において露出するように形成する。

【0080】

次に図 1 3 (E) の工程において、図 1 3 (D) の構造上に C V D 酸化膜 1 5 を形成し、さらにこれを、前記素子領域 1 1 A に形成したレジストパターン R 4 をマスクに、前記素子領域 1 1 B から除去し、さらに図 1 3 (F) の工程で、前記素子領域 1 5 に残留している C V D 酸化膜 1 5 をマスクに、また前記ポリシリコンゲート電極 1 3 P および側壁絶縁膜 1 3 O, 1 3 W N を自己整合マスクに、前記素子領域 1 1 B にトレンチ 1 1 T A, 1 1 T B を、先の図 1 1 (G) の工程と、ゲート側壁絶縁膜の構造を除けば同様にして形成する。

20

【0081】

さらに図 1 4 (G) ~ 図 1 4 (H) の工程を、先の図 1 1 (H) ~ 図 1 1 (I) の工程と同様にして実行することにより、側壁絶縁膜の構造を除き、図 1 1 (I) と同様な構造を有する半導体装置が、図 1 4 (H) の工程において得られる。

【第 6 実施例】

30

ところで、先に説明した各実施例においては、ポリシリコンゲート電極 1 3 N あるいは 1 3 P に S i N 側壁絶縁膜 1 3 W N を形成する場合、ポリシリコンゲート電極と S i N 側壁絶縁膜との間の界面特性を改善するため、前記ポリシリコンゲート電極 1 3 N あるいは 1 3 P と S i N 側壁絶縁膜 1 3 W N との間に、膜厚が 1 0 n m 程度の C V D 酸化膜 1 3 O が形成されている。かかる C V D 酸化膜 1 3 O は、前記ポリシリコンゲート電極 1 3 P の側壁面に沿って延在する部分は、前記ポリシリコンゲート電極 1 3 P の上部において露出される。また前記 C V D 酸化膜 1 3 O は、前記 S i N 側壁絶縁膜 1 3 W N とシリコン基板 1 1 表面の間を連続的に延在し、前記 S i N 側壁絶縁膜 1 3 W N の側壁面下部において露出される。

【0082】

40

一方、このような C V D 酸化膜 1 3 O は、例えば先の図 2 (C) の工程などで、前記トレンチ 1 1 T A, 1 1 T B の形成の際に、前記トレンチ側壁面のクリーニングのために H F 処理が施されると、図 1 5 に示すように侵食されてしまい、前記露出部において深いスリットが形成される恐れがある。このようなスリットは、前記図 2 (C) のトレンチ形成の際のみならず、例えば図 8 (D) の工程のように、外側側壁絶縁膜 1 4 W を H F 処理により除去する場合にも形成される。図 8 (D) の例では、かかるスリットは、p チャネル M O S トランジスタのみならず、n チャネル M O S トランジスタにおいても生じることがわかる。

【0083】

特にこのようなシリコン基板 1 1 中へのトレンチ形成においては、前記ポリシリコンゲ

50

ート電極 13P も上部がエッチング・除去されるため、前記 CVD 酸化膜 13O は大きな面積にわたり露出され、かかる露出部分が HF 処理の際にエッチングを受ける。

【0084】

このような CVD 酸化膜 13O のエッチングの結果、ゲート電極の側壁面および底面には深いスリットが形成されてしまうが、かかるスリットは、その後の工程で不純物を蓄積するボイドを形成したり、欠陥を形成したりする恐れがある。

【0085】

そこで本発明の第 6 実施例においては、図 16 に示すように、このようなトレンチ形成工程に先立って、前記 CVD 酸化膜 13O のうち、このような HF 処理により侵食が生じる露出部分を、実際の半導体装置製造プロセス中における HF 処理に先立って、制御された HF 処理を行い、さらにこのようにして形成されたスリットを、HF に対して耐性を有する層に 13Wn より充填する。

【0086】

図 17 (A) ~ 図 17 (D) は、このような、HF 処理に先立って、前記 CVD 酸化膜 13O のうち、HF 処理により侵食される部分を、HF 耐性を有する膜 13Wn により充填する工程を示す。図 17 (A) ~ 図 17 (D) の説明は、p チャネル MOS トランジスタについてのものであるが、同様の工程を、同時に n チャネル MOS トランジスタについても行うことができる。

【0087】

図 17 (A) ~ 図 17 (D) を参照するに、図 17 (A) は例えば図 2 (B) あるいは図 5 (B)、あるいは図 7 (C) の工程で、前記ポリシリコンゲート電極 13P の側壁面に、CVD 酸化膜 13O を介して SiN 側壁絶縁膜 13WN が形成された状態に対応しており、次に図 17 (B) の工程で、次の工程、例えば図 2 (C) の工程に進む前に、図 17 (B) の構造を HF 中において処理し、前記 CVD 酸化膜 13O 中に、スリット 13Os を形成する。

【0088】

このスリット 13Os は、その後のトレンチ形成工程においてポリシリコンゲート電極 13P 中に生じるエッチングの深さを勘案して、前記エッチング深さに少なくとも等しくなるように、一例では 20 ~ 30 nm の深さに形成される。

【0089】

次に図 17 (C) の工程において、図 17 (B) の構造上に、有機シリコン原料とアンモニアを原料とした CVD 法により、SiN 膜 18N を、前記スリット 13Os を充填するように堆積する。

【0090】

例えば 0.1 ~ 1000 Pa の圧力下、特に好ましくは 5 ~ 100 Pa の圧力下、300 ~ 700 °C、特に 450 ~ 650 °C の基板温度において、前記有機シリコン原料としてビスターシャルブチルアミノシラン (BTBAS) を 20 ~ 400 SCCM、特に 80 ~ 200 SCCM の流量で供給し、さらにアンモニアガスを 10 ~ 2000 SCCM、特に 300 ~ 500 SCCM 流量で供給して前記シリコン基板 11 上に SiN 膜 18N を 5 nm 以下の厚さに形成することにより、前記スリット 13Os を図 16 の膜 13Wn に対応して、SiN 膜 18N で充填することができる。

【0091】

図 17 (C) の工程では、さらに前記側壁絶縁膜 13W 上に酸化膜 14 が堆積されており、図 17 (D) の工程で前記酸化膜 14 を、その下の SiN 膜 18N まで含めて、前記シリコン基板 11 が露出するまでエッチバックすることにより、前記 SiN 側壁絶縁膜 13W 上に側壁酸化膜 14W が形成される。

【0092】

なお、図 17 (C) の工程を、0.1 ~ 3000 Pa の圧力下、特に好ましくは 5 ~ 300 Pa の圧力下、300 ~ 650 °C、特に 450 ~ 580 °C の基板温度において、前記有機シリコン原料として前記 BTBAS を 20 ~ 400 SCCM、好ましくは 80 ~ 20

0 S C C M の流量で供給し、さらに N_2O ガスを 10 ~ 5000 S C C M、好ましくは 30 ~ 1000 S C C M の流量で供給することにより、前記 S i N 膜 18 N のかわりに S i O N 膜を形成することも可能である。前記 H F 耐性膜 13 W n として S i O N 膜を使うことにより、シリコン基板 11 あるいはポリシリコンゲート電極に対する界面特性を向上させることが可能になる。

【0093】

なお図 17 (C) の工程において、前記 H F 耐性膜 18 N として S i N 膜を使った場合、ポリシリコンゲート電極 13 P と S i N 膜とが、ゲート電極 13 P の上部において接することになるが、この部分には後でシリサイドが形成されるため、特に問題は生じない。

【0094】

図 17 (D) の工程の後、例えば図 2 (D)、図 6 (E)、図 8 (E)、図 11 (G) あるいは図 13 (E) 以下の工程が行われる。

【0095】

特に図 2 (C) の工程に対応して、図 17 (C)、17 (D) の工程を、図 18 (A)、18 (B) のように変形することも可能である。

【0096】

図 18 (A) の工程では、図 17 (C) における C V D 酸化膜 14 の形成が省略され、その結果、図 18 (B) のエッチバック工程において、前記シリコン基板 11 表面に薄く堆積された S i N 膜 18 N が除去される。

【0097】

このような H F 耐性膜 13 W n は、前記 p チャネル M O S トランジスタのみならず、n チャネル M O S トランジスタにも形成され、その結果、例えば前記図 2 (B) の工程の後、図 2 (C) の工程開始前にシリコン基板 11 上には、図 19 に示す構造が形成される。

【0098】

また本実施例において、前記図 17 (C) の工程は、ステップカバレッジに優れた原子層 C V D 法により、S i N 膜あるいは S i O N 膜を、一原子層ずつ積層することで実行することも可能である。

【0099】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

【0100】

(付記 1)

素子分離構造により、第 1 の素子領域と第 2 の素子領域とを画成されたシリコン基板と、
前記第 1 の素子領域上に形成された n チャネル M O S トランジスタと、
前記第 2 の素子領域上に形成された p チャネル M O S トランジスタとよりなる半導体集積回路装置であって、
前記 n チャネル M O S トランジスタは、
第 1 の側壁絶縁膜を両側壁面上に有する第 1 のゲート電極と、
前記第 1 の素子領域中、前記第 1 の側壁絶縁膜の外側に形成された n 型ソースおよびドレイン拡散領域を含み、
前記 p チャネル M O S トランジスタは、
第 2 の側壁絶縁膜を両側壁面上に有する第 2 のゲート電極と、
前記第 2 の素子領域中、前記第 2 の側壁絶縁膜の両側に形成された p 型ソースおよびドレイン拡散領域と、
前記第 2 の素子領域中、前記第 2 の側壁絶縁膜の両側に、それぞれ前記 p 型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第 1 および第 2 の S i G e 混晶層領域とを含み、

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1の素子領域中における前記n型ソース拡散領域と前記n型ドレイン拡散領域との間の距離は、前記第2の素子領域中における前記p型ソース拡散領域と前記p型ドレイン拡散領域との間の距離よりも、前記それぞれの拡散領域の下端部と比較した場合、大きいことを特徴とする半導体集積回路装置。

【0101】

(付記2)

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、それぞれ第1および第2の、互いに異なった構造を有することを特徴とする付記1記載の半導体集積回路装置。

10

【0102】

(付記3)

前記第1の側壁絶縁膜は、HFにより侵食される第1の材料により、その表面が形成され、前記第2の側壁絶縁膜は、HFに対して耐性を有する第2材料により、その表面が形成されることを特徴とする付記1または2記載の半導体集積回路装置。

【0103】

(付記4)

前記第1の側壁絶縁膜は、前記第2の側壁絶縁膜と同一構成の下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成された、前記第1の材料よりなる上側側壁絶縁膜とよりなることを特徴とする付記3記載の半導体集積回路装置。

20

【0104】

(付記5)

前記第1の側壁絶縁膜と前記第2の側壁絶縁膜とは、同一の構成を有することを特徴とする付記1記載の半導体集積回路装置。

【0105】

(付記6)

前記第1および第2の側壁絶縁膜の前記第1および第2の表面は、HFに対して耐性を有する材料により形成されることを特徴とする付記5記載の半導体集積回路装置。

【0106】

(付記7)

前記第1および第2のゲート電極の側壁面は、CVD酸化膜により覆われており、前記第1の側壁絶縁膜は前記第1のゲート電極上に、前記CVD酸化膜を介して形成されており、前記第2の側壁絶縁膜は前記第2のゲート電極上に、前記CVD酸化膜を介して形成されていることを特徴とする付記1～6のうち、いずれか一項記載の半導体集積回路装置。

30

【0107】

(付記8)

前記第1および第2のSiGe混晶層の各々は、Geを原子濃度で20%を超えて含むことを特徴とする付記1～7のうち、いずれか一項記載の半導体集積回路装置。

【0108】

(付記9)

前記第1および第2のSiGe混晶層の各々は、前記シリコン基板表面を超えて形成されたことを特徴とする付記1～8のうち、いずれか一項記載の半導体集積回路装置。

40

【0109】

(付記10)

前記第1および第2のSiGe混晶層の各々は、少なくとも前記ゲート絶縁膜直下のチャネル領域に面する側の側壁面が、複数の、平坦なファセットにより画成されていることを特徴とする付記1～9のうち、いずれか一項記載の半導体集積回路装置。

【0110】

(付記11)

50

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と

前記第1の素子領域上に形成されたnチャネルMOSトランジスタと、

前記第2の素子領域上に形成されたpチャネルMOSトランジスタとよりなる半導体集積回路装置であって、

前記nチャネルMOSトランジスタは、

第1の側壁絶縁膜を両側壁面上に有する第1のゲート電極と、

前記第1の素子領域中、前記第1の側壁絶縁膜の外側に形成されたn型ソースおよびドレイン拡散領域を含み、

前記pチャネルMOSトランジスタは、

第2の側壁絶縁膜を両側壁面上に有する第2のゲート電極と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に形成されたp型ソースおよびドレイン拡散領域と、

前記第2の素子領域中、前記第2の側壁絶縁膜の両側に、それぞれ前記p型ソースおよびドレイン拡散領域内に含まれるように形成されたトレンチを充填するように、前記シリコン基板に対してエピタキシャルに形成された第1および第2のSiGe混晶層領域とを含み、

前記第1および第2のSiGe混晶層領域の各々は、これに対応する前記第2の側壁絶縁膜の表面に対して自己整合する位置関係に形成されており、

前記第1および第2の側壁絶縁膜の各々は、前記HFに対して耐性を有する材料よりなる下側側壁絶縁膜と、前記下側側壁絶縁膜上に形成されHFにより侵食される材料よりなる中間側壁絶縁膜と、前記中間側壁絶縁膜上に形成され、前記HFに対して耐性を有する材料よりなる上側側壁絶縁膜とよりなることを特徴とする半導体集積回路装置。

【0111】

(付記12)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有するpチャネルMOSトランジスタとよりなり、前記pチャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャンネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、p型不純物元素のイオン注入を行い、前記シリコン基板中、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第1の側壁絶縁膜に対してエッチング選択性を有する第2の側壁絶縁膜を形成する工程と、

前記第1の素子領域中において、前記第1のゲート電極パターンと、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜および前記第2の側壁絶縁膜を自己整合マスクに、n型不純物元素をイオン注入し、前記第1の素子領域中、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と

前記第1の素子領域を覆うように、また前記第2の素子領域を露出するように、マスク絶縁膜を形成する工程と、

前記マスク絶縁膜を形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第2の素子領域中において、前記第2のゲート電極パターン、および前記

第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに前記シリコン基板をエッチングし、前記第2のゲート電極パターンの両側に、前記第1の側壁絶縁膜により隔てられて、第1および第2のトレンチを形成する工程と、

前記第1および第2のトレンチを形成する工程の後、前記第1の素子領域を前記マスク絶縁膜で覆った状態で、前記第1および第2のトレンチ中に、p型SiGe混晶層をエピタキシャル成長させ、前記p型SiGe混晶層領域を形成する工程と、よりなることを特徴とする半導体集積回路装置の製造方法。

【0112】

(付記13)

前記シリコン基板をエッチングする工程は、前記第1および第2のトレンチの表面を、H₂Fまたは有機アルカリ系のエッチャントにより処理する工程、または等方性ドライエッチングまたは前記ウェット処理とドライエッチングの適宜の組み合わせによる処理工程を含むことを特徴とする付記12記載の半導体集積回路装置の製造方法。

【0113】

(付記14)

前記第1のゲート電極パターン上の前記第2の側壁絶縁膜は、前記p型SiGe混晶層領域の形成工程の後、前記絶縁膜をエッチバックすることにより、形成されたものであることを特徴とする請求項12または13記載の半導体集積回路装置の製造方法。

【0114】

(付記15)

前記第1の素子領域中に前記n型のソース領域およびドレイン領域を形成する工程は、前記n型不純物元素を、第1の加速電圧および第1のドーズ量でイオン注入する工程を含み、

さらに、前記第2の素子領域中に前記p型ソース領域およびドレイン領域を形成する工程と同時に実行される、前記第1の素子領域中に、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1の側壁絶縁膜を自己整合マスクに、前記n型不純物元素を、第2の、前記第1の加速電圧よりも大きい加速電圧で、第2の、前記第1のドーズ量よりも小さいドーズ量でイオン注入する工程を含むことを特徴とする請求項14記載の半導体集積回路装置の製造方法。

【0115】

(付記16)

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第2の側壁絶縁膜を形成する工程は、同時に前記第2の素子領域中において、前記第2のゲート電極パターン上の前記第1の側壁絶縁膜上にも、同時に前記第2の側壁絶縁膜を形成する工程を含み、

前記第2の素子領域中において前記p型のソースおよびドレイン領域を形成する工程は、前記第1の素子領域中において前記n型のソースおよびドレイン領域を形成する工程の後、前記第2のゲート電極パターン上の前記第2の側壁絶縁膜を除去した状態で実行されることを特徴とする付記12または13記載の半導体集積回路装置の製造方法。

【0116】

(付記17)

前記第1の素子領域中において、前記第1のゲート電極パターン上の前記第1の側壁絶縁膜上に、前記第2の側壁絶縁膜を形成する工程は、同時に前記第2の素子領域中において、前記第2のゲート電極パターン上の前記第1の側壁絶縁膜上にも、同時に前記第2の側壁絶縁膜を形成する工程を含み、

前記第2の素子領域中において前記p型のソースおよびドレイン領域を形成する工程は、前記第2のゲート電極パターン上に前記第2の側壁絶縁膜を形成する前に実行されることを特徴とする付記16記載の半導体集積回路装置の製造方法。

【0117】

(付記18)

前記第2の素子領域中において前記p型のソースおよびドレイン領域を形成する工程は、前記p型不純物元素を、第1の加速電圧および第1のドーズ量でイオン注入する工程と、前記p型不純物元素を、第2の、より大きな加速電圧および第2の、より小さなドーズ量でイオン注入する工程とを含むことを特徴とする付記17記載の半導体集積回路装置の製造方法。

【0118】

(付記19)

前記SiGe混晶層領域の形成工程の後、前記マスク絶縁膜は、ウェットエッチングにより除去されることを特徴とする付記16～18のうち、いずれか一項記載の半導体集積回路装置の製造方法。

10

【0119】

(付記20)

さらに、前記第1の素子領域に、前記第1の側壁絶縁膜の形成工程よりも前に、前記第1のゲート電極をマスクにn型不純物元素をイオン注入して、前記シリコン基板中、前記第1のゲート電極の両側に、前記第1のゲート電極の縁部に対応して、n型のソースおよびドレインエクステンション領域を形成する工程と、

前記第2の素子領域に、前記第1の側壁絶縁膜の形成工程よりも前に、前記第2のゲート電極をマスクにp型不純物元素をイオン注入して、前記シリコン基板中、前記第2のゲート電極の両側に、前記第2のゲート電極の縁部に対応して、p型のソースおよびドレインエクステンション領域を形成する工程とを含み、前記n型ソースおよびドレインエクステンション領域の形成工程と前記p型ソースおよびドレインエクステンション領域の形成工程とは、同時に実行されることを特徴とする付記12～19のうち、いずれか一項記載の半導体集積回路装置の製造方法。

20

【0120】

(付記21)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有するpチャネルMOSトランジスタとよりなり、前記pチャネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、

30

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、CVD酸化膜を介して、HFに対して耐性を有する第1の材料により、第1の側壁絶縁膜を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、前記第1の材料に対してエッチング選択性を示す第2の材料により、第2の側壁絶縁膜を形成する工程と

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、

40

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれの側壁面上に、前記第1の材料に対してエッチング選択性を示す第3の材料により、第3の側壁絶縁膜を形成する工程と、

50

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1～第3の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1～第3の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第2および第3の側壁絶縁膜を、HFを使ったエッチングにより除去する工程と、

10

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第4の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第1および第4の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【0121】

20

(付記22)

素子分離構造により、第1の素子領域と第2の素子領域とを画成されたシリコン基板と、前記第1の素子領域上に形成された、第1のゲート電極パターンを有するnチャンネルMOSトランジスタと、前記第2の素子領域上に形成された、第2のゲート電極パターンを有するpチャンネルMOSトランジスタとよりなり、前記pチャンネルMOSトランジスタにおいては、前記第2のゲート電極パターン直下のチャンネル領域の両側に、前記シリコン基板に対してエピタキシャルに形成されたp型SiGe混晶層領域を含む半導体集積回路装置の製造方法であって、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと第2のゲート電極パターンのそれぞれの側壁面上に、第1の材料により、第1の側壁絶縁膜を形成する工程と、

30

前記第1の素子領域中において前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にn型不純物元素をイオン注入し、前記第1のゲート電極パターンの両側にn型のソースおよびドレイン領域を形成する工程と、

前記第2の素子領域中において前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1の側壁絶縁膜をマスクに、前記シリコン基板中にp型不純物元素をイオン注入し、前記第2のゲート電極パターンの両側にp型のソースおよびドレイン領域を形成する工程と、

前記第1および第2の素子領域中において、前記第1のゲート電極パターンと前記第2のゲート電極パターンのそれぞれにおいて、前記第1の側壁絶縁膜上に、第2の側壁絶縁膜を形成する工程と、

40

前記第1の素子領域中において、前記第1のゲート電極パターン、および前記第1のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、n型不純物元素をさらにイオン注入し、前記n型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のn型バッファ拡散領域を、相互に離間して形成する工程と、

前記第2の素子領域中において、前記第2のゲート電極パターン、および前記第2のゲート電極パターン上の前記第1および第2の側壁絶縁膜をマスクに、p型不純物元素をさらにイオン注入し、前記p型ソースおよびドレイン領域のそれぞれの下に、より不純物濃度の低い第1および第2のp型バッファ拡散領域を、相互に離間して形成する工程と、

50

前記第1および第2の素子領域中において、前記第1および第2のゲート電極の側壁面から、前記第1および第2の側壁絶縁膜を、エッチングにより除去する工程と、

さらに前記第1および第2の素子領域中において、前記第1および第2のゲート電極のそれぞれに、HFに耐性を有する第3の側壁絶縁膜を形成する工程と、

前記第2の素子領域において、前記第2のゲート電極、および前記第2のゲート電極上の前記第3の側壁絶縁膜をマスクに、前記シリコン基板をエッチングし、前記第2のゲート電極の両側に、第1および第2のトレンチを形成する工程と、

前記第2の素子領域において、前記第1および第2のトレンチをp型SiGe混晶層のエピタキシャル成長により充填する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

10

【0122】

(付記23)

前記第2のゲート電極の各々の側壁面上には、前記側壁面に対向する前記第2の側壁絶縁膜との間に酸化膜が、前記側壁絶縁膜の底部において、前記側壁絶縁膜と前記シリコン基板との間をも延在するように、第1の端部から第2の端部まで連続的に形成されており、

前記酸化膜の前記第1の端部は、前記第2のゲート電極と前記第2の側壁酸化膜間において、前記第2のゲート電極の上面から後退した位置に形成されており、前記酸化膜の前記第2の端部は、前記第2の側壁絶縁膜の側壁面から後退した位置に形成されており、

前記第2のゲート電極と前記第2の側壁絶縁膜との間には、前記第2のゲート電極の上面から前記酸化膜の前記第1の端面までの間に、HFに対して耐性を有する材料よりなる第1の膜領域が形成されており、

20

前記シリコン基板と前記第2の側壁絶縁膜との間には、前記第2の側壁絶縁膜の側壁面から前記酸化膜の前記第2の端面までの間に、HFに対して耐性を有する材料よりなる第2の膜領域が形成されていることを特徴とする付記1～11のうち、いずれか一項記載の半導体集積回路装置。

【0123】

(付記24)

前記第1の端面は、前記第2のゲート電極の上面から、前記SiGe混晶層領域の、前記シリコン基板表面から測った深さに対応する距離を越えて後退していることを特徴とする付記23記載の半導体集積回路装置。

30

【0124】

(付記25)

前記第1の端面は、前記第2のゲート電極の上面から20～30nmの距離だけ後退していることを特徴とする付記23または24記載の半導体集積回路装置。

【0125】

(付記26)

前記HFに対して耐性を有する材料は、SiNまたはSiONであることを特徴とする付記23～25のうち、いずれか一項記載の半導体集積回路装置。

【0126】

(付記27)

前記第1および第2の側壁絶縁膜を形成する工程は、前記第1および第2の側壁絶縁膜を形成する前に、前記第1および第2のゲート電極表面に酸化膜を、前記酸化膜が前記第1および第2のゲート電極のそれぞれの側壁面および、前記第1および第2のゲート電極形成されているシリコン基板の表面部分を連続して覆うように形成する工程を含み、

前記第1および第2の側壁絶縁膜の形成の後、前記酸化膜をHF中にてウェットエッチングし、前記第1のゲート電極において、前記第1のゲート電極の側壁面と前記第1の素子側壁絶縁膜との間、および前記第1の側壁絶縁膜とその下のシリコン基板と部分との間に第1のスリットを、また前記第2のゲート電極において、前記第2のゲート電極の側壁面と前記第2の素子側壁絶縁膜との間、および前記第2の側壁絶縁膜とその下のシリコン基板

50

と部分との間に第2のスリットを、形成する工程と、

前記第1および第2のスリットを、HFに耐性を有する絶縁膜により充填する工程とを含むことを特徴とする請求項12～22のうち、いずれか一項記載の半導体集積回路装置の製造方法。

【0127】

(付記28)

前記第1および第2のスリットを充填する工程は、CVD法または原子層CVD法により実行されることを特徴とする付記27記載の半導体集積回路装置の製造方法。

【図面の簡単な説明】

【0128】

【図1】SiGe圧縮応力によるpチャネルMOSトランジスタの動作速度向上の原理を説明する図である。

【図2】(A)～(C)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図3】(D)～(F)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図4】本発明実施例による半導体集積回路装置を構成するpチャネルMOSトランジスタを示す図である。

【図5】(A)～(C)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図6】(D)～(F)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図7】(A)～(C)は、本発明の第3実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図8】(D)～(F)は、本発明の第3実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図9】(A)～(C)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図10】(D)～(F)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図11】(G)～(I)は、本発明の第4実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図12】(A)～(C)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その1)である。

【図13】(D)～(F)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その2)である。

【図14】(G)～(H)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その3)である。

【図15】本発明の第6実施例の課題を説明する図である。

【図16】本発明第6実施例の原理を示す図である。

【図17】(A)～(D)は、図16の構造を形成する工程を示す図である。

【図18】本発明第6実施例の工程の別の例を示す図である。

【図19】本発明第6実施例により得られる構造の例を、トレンチ形成工程前の状態について示す図である。

【符号の説明】

【0129】

11 シリコン基板

11A, 11B 素子領域

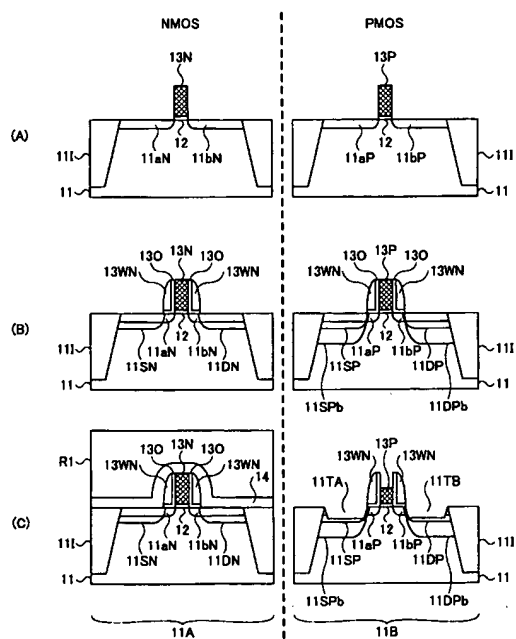
11I 素子分離領域

11SN, 11DN n型ソース/ドレイン領域

10

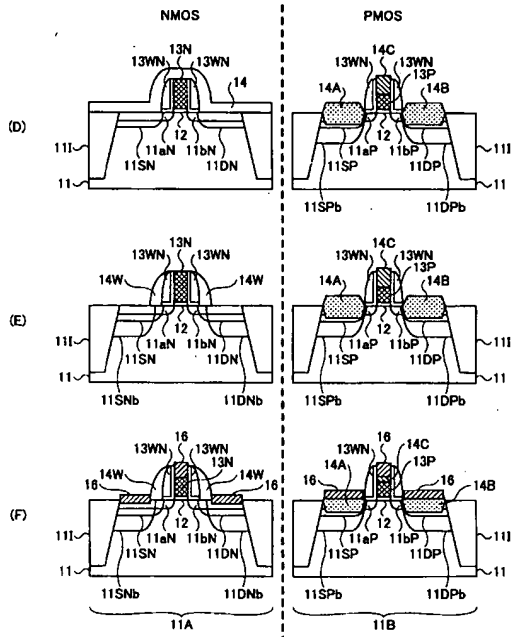
【图 2】

(A)~(C)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その1)



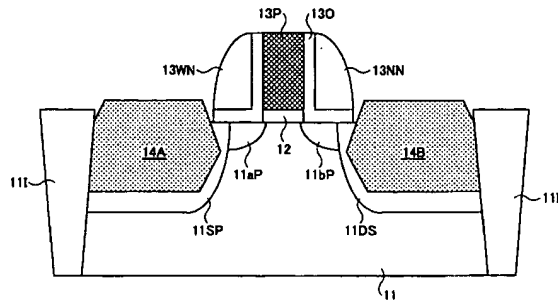
【圖 3】

(D)~(F)は、本発明の第1実施例による半導体集積回路装置の製造工程を示す図(その2)



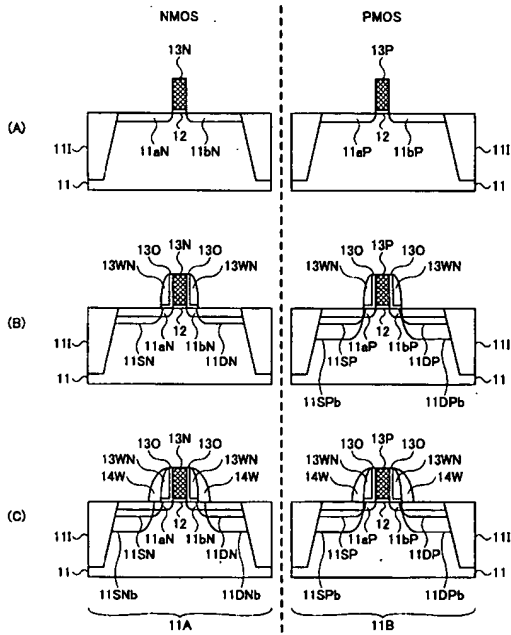
【图 4】

本発明実施例による半導体集積回路装置を構成する
pチャネルMOSTランジスタを示す図



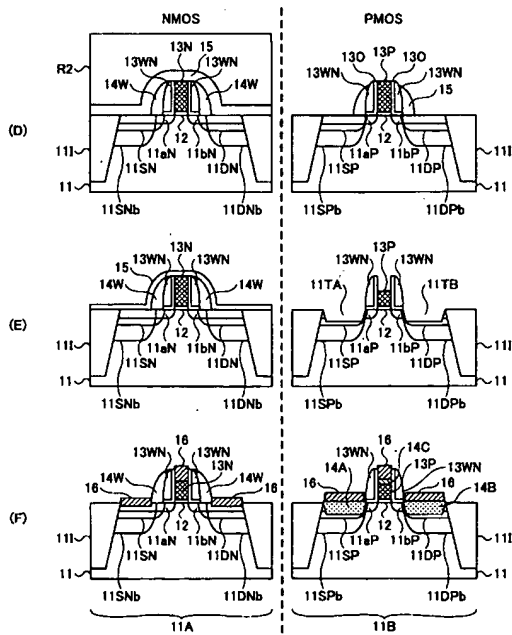
【图 5】

(A)~(C)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その1)



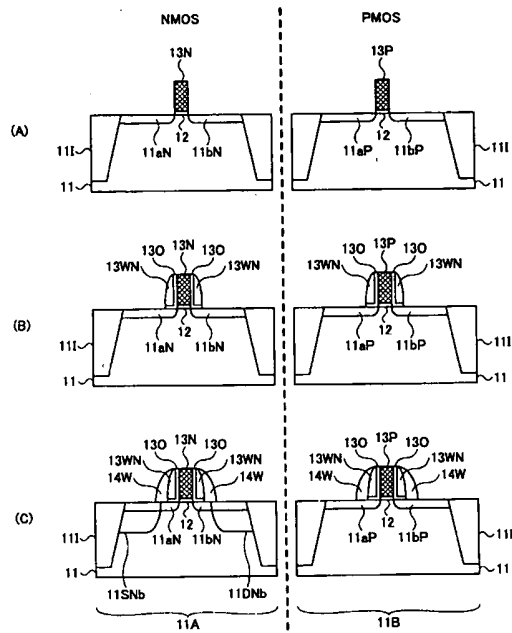
【图 6】

(D)～(F)は、本発明の第2実施例による半導体集積回路装置の製造工程を示す図(その2)



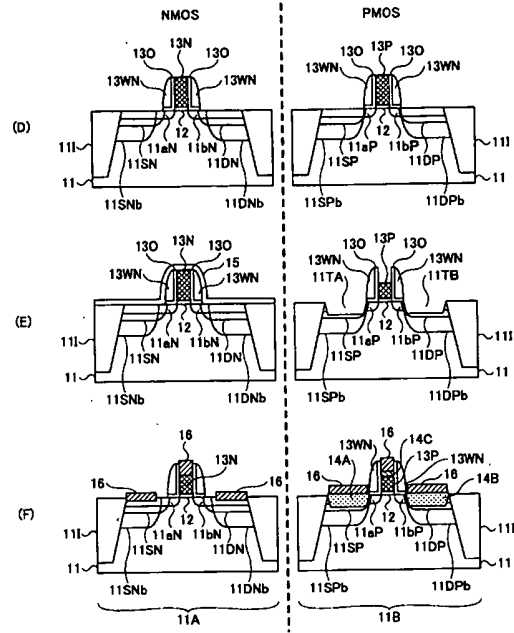
【図 7】

(A)～(C)は、本発明の第3実施例による
半導体集積回路装置の製造工程を示す図(その1)



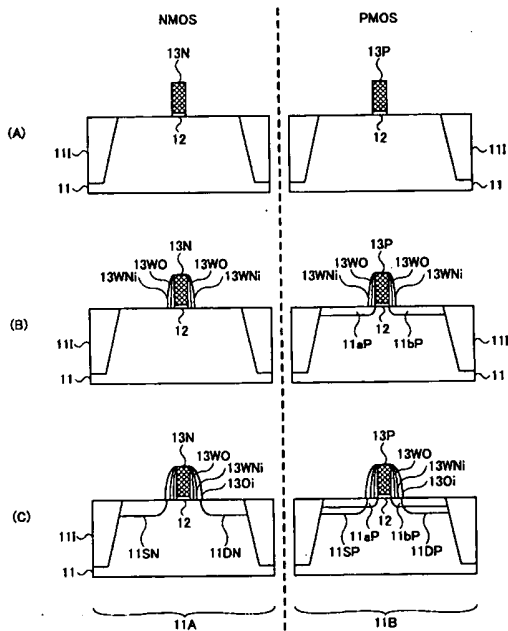
【図 8】

(D)～(F)は、本発明の第3実施例による
半導体集積回路装置の製造工程を示す図(その2)



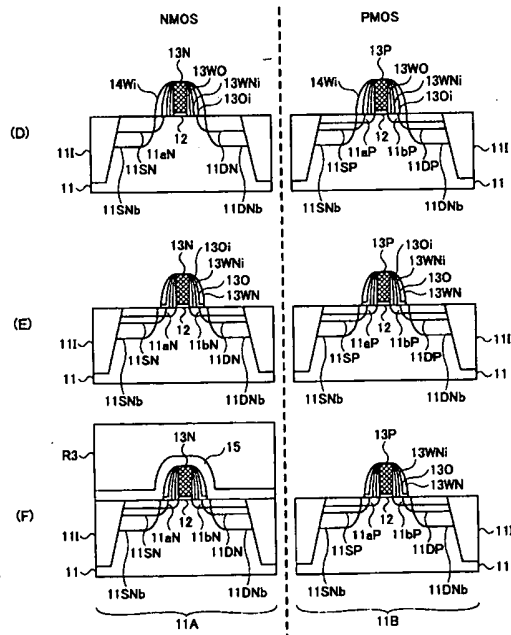
【図 9】

(A)～(C)は、本発明の第4実施例による
半導体集積回路装置の製造工程を示す図(その1)



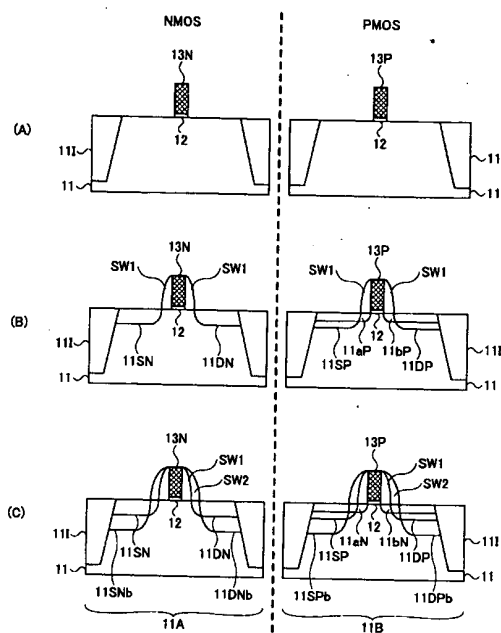
【図 10】

(D)～(F)は、本発明の第4実施例による
半導体集積回路装置の製造工程を示す図(その2)



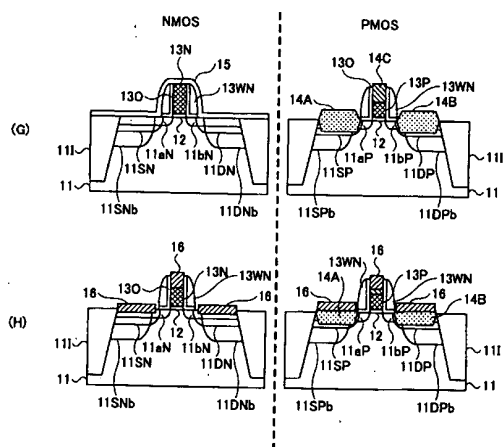
【图 1 2】

(A)~(C)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その1)



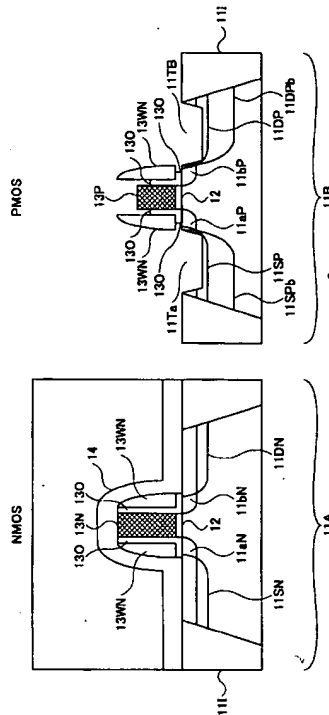
【图 14】

(G)~(H)は、本発明の第5実施例による半導体集積回路装置の製造工程を示す図(その3)



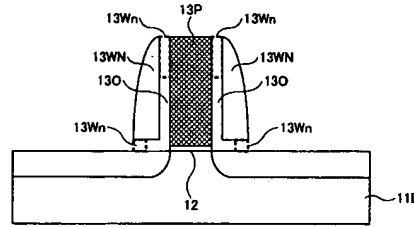
【図15】

本発明の第6実施例の課題を説明する図



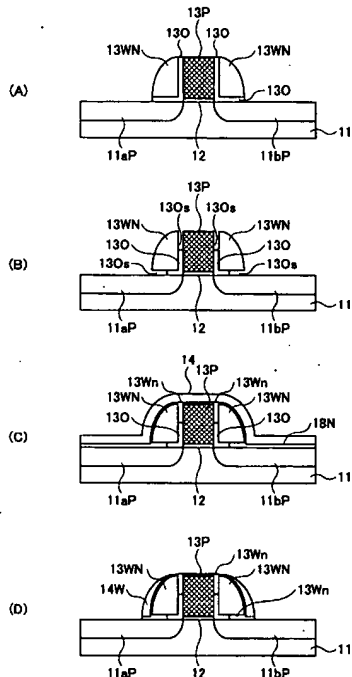
【図16】

本発明第6実施例の原理を示す図



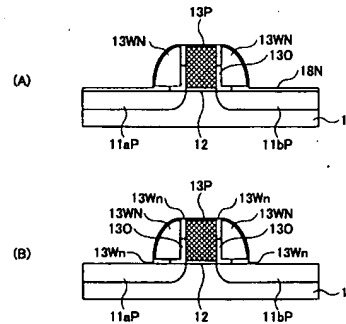
【図17】

(A)～(D)は、図16の構造を形成する工程を示す図



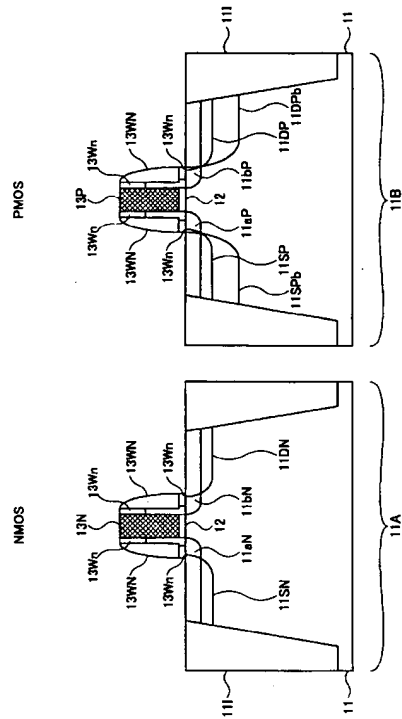
【図18】

本発明第6実施例の工程の別の例を示す図



【図 19】

本発明第6実施例により得られる構造の例を、
トレンチ形成工程前の状態について示す図



フロントページの続き

(72)発明者 島宗 洋介
神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
(72)発明者 島 昌司
神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
(72)発明者 大田 裕之
神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内
F ターム(参考) 5F048 AA08 AC03 BA01 BA14 BB04 BB06 BB07 BB08 BB11 BB12
BB13 BC01 BC05 BC18 BE03 BF06 BG13 DA04 DA23 DA24
DA25 DA27 DA30